

(7) Japanese Patent Application Laid-Open No.9-283716 (1997)

“Semiconductor Device”

The following is an extract relevant to the present application.

5

A semiconductor device shown in figure 2 includes an n-channel RESURF MOSFET and a RESURF isolation island region. In this semiconductor device, an n^- epitaxial layer 2 and an n^+ buried diffusion region 4 are surrounded by a p diffusion region 3, whereby a RESURF structure is defined.

10 In the semiconductor device in figure 12, an aluminum interconnect line 8 which experiences application of a high potential passes over the p diffusion region 3 placed at the same potential as a substrate potential. Extension of a depletion layer is thus inhibited by the electric field applied from the aluminum interconnect line 8, causing drop in breakdown voltage.

15 In response, the present invention suggests in figures 1 and 2 a semiconductor device which includes no RESURF structure between the n-channel RESURF MOSFET and the RESURF isolation island region. Instead, a narrow portion 1a as a part of a p^- substrate 1 is formed therebetween which has an upper surface exposed from the p^- substrate 1. When n diffusion regions 12a and 12b are subjected to application of a high potential,
20 the portion 1a held between the n diffusion regions 12a and 12b are depleted, thereby causing no significant potential difference between the portion 1a and the n diffusion regions 12a, 12b. As a result, the potential difference is controlled to be small between the aluminum interconnect line 8 and the surface of the p^- substrate 1 thereunder, whereby the foregoing problem is avoided.

25

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-283716

(43)公開日 平成9年(1997)10月31日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/08	3 3 1		H 0 1 L 27/08	3 3 1 B
29/78			29/78	3 0 1 X
		9447-4M		6 5 2 P

審査請求 未請求 請求項の数14 O L (全 11 頁)

(21)出願番号 特願平8-92240

(22)出願日 平成8年(1996)4月15日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 寺島 知秀

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72)発明者 清水 和宏

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

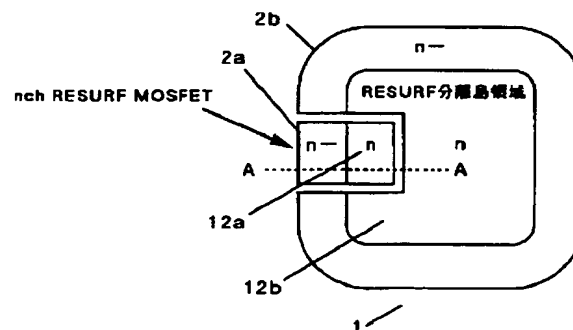
(74)代理人 弁理士 葛野 信一

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】小さな面積の高耐圧分離領域を備え、かつプロセスコストの上昇を生じない高耐圧半導体装置を得る。

【解決手段】 n 拡散領域の外周を n -拡散領域で囲んだリサーフ構造であって、その n 拡散領域と n -拡散領域の連続した領域の一区域を分割して p -基板の細い領域を介在させさせるとともに、そこにリサーフMOSFETを形成する。分割された n 拡散領域の間にアルミ配線を設け、信号のレベルシフトを行う。



【特許請求の範囲】

【請求項 1】 第一導電型の半導体基板、この半導体基板の主面に形成され相対的に不純物濃度の薄い第二導電型の第一領域、前記半導体基板の主面に前記第一領域に接して形成され相対的に不純物濃度の濃い第二導電型の第二領域、前記半導体基板の主面に前記第二領域との間に所定の間隔をおいて形成され相対的に不純物濃度の濃い第二導電型の第三領域、前記半導体基板の主面に前記第三領域と接し前記第一領域との間に所定の間隔をおいて形成され相対的に不純物濃度の薄い第二導電型の第四領域、および前記半導体基板の主面との間に絶縁層を介して形成され前記第二領域と前記第三領域とをむすぶ導電路を備えたことを特徴とする半導体装置。

【請求項 2】 第一導電型の半導体基板、この半導体基板の主面に形成され相対的に不純物濃度の薄い第二導電型の複数の第一領域、前記半導体基板の主面に前記複数の第一領域にそれぞれ接して形成され相対的に不純物濃度の濃い第二導電型の複数の第二領域、前記半導体基板の主面に前記複数の第二領域との間にそれぞれ所定の間隔をおいて形成され相対的に不純物濃度の濃い第二導電型の第三領域、前記半導体基板の主面に前記第三領域と接しかつ前記複数の第一領域との間に所定の間隔をおいて形成され相対的に不純物濃度の薄い第二導電型の第四領域、および前記半導体基板の主面との間に絶縁層を介して形成され前記複数の第二領域と前記第三領域との間をそれぞれむすぶ複数の導電路を備えたことを特徴とする半導体装置。

【請求項 3】 第一導電型の半導体基板、この半導体基板の主面に形成され相対的に不純物濃度の薄い第二導電型の複数の第一領域、前記半導体基板の主面に前記複数の第一領域にそれぞれ接して形成され相対的に不純物濃度の濃い第二導電型の複数の第二領域、前記半導体基板の主面に前記複数の第二領域の間に挟まれた部分を有しかつ前記複数の第二領域との間に所定の間隔をおいて形成され相対的に不純物濃度の濃い第二導電型の第三領域、前記半導体基板の主面に前記第三領域と接し前記複数の第一領域との間に挟まれた部分を有しかつ前記複数の第一領域との間に所定の間隔をおいて形成され相対的に不純物濃度の薄い第二導電型の第四領域、および前記半導体基板の主面との間に絶縁層を介して形成され前記複数の第二領域と前記第三領域との間をそれぞれむすぶ複数の導電路を備えたことを特徴とする半導体装置。

【請求項 4】 前記第二領域と前記第三領域とを含む領域の外周を前記第一領域と前記第四領域とを含む領域によって包囲するように形成したことを特徴とする請求項 1～3 のいずれか 1 項に記載の半導体装置。

【請求項 5】 第一導電型の半導体基板 1、この半導体基板の主面に形成され相対的に不純物濃度の薄い第二導電型の環状の第一領域、前記半導体基板の主面に前記第一領域の内側に接して形成され相対的に不純物濃度の濃

い第二導電型環状の第二領域、前記半導体基板の主面に前記第二領域の内側との間に所定の間隔をおいて形成され相対的に不純物濃度の濃い第二導電型の環状の第三領域、および前記半導体基板の主面との間に絶縁層を挟み前記第二領域と前記第三領域との間に形成された導電路を備えたことを特徴とする半導体装置。

【請求項 6】 前記第二領域および前記第三領域と前記半導体基板との間にそれぞれ形成される p n 接合が臨界電界に達する以前に前記 p n 接合の空乏層が伸びて互いに接するように形成したことを特徴とする請求項 1 ないし 5 のいずれか 1 項に記載の半導体装置。

【請求項 7】 前記第二領域および前記第三領域と前記半導体基板との間にそれぞれ形成される p n 接合の周辺コーナー部の電気力線の密度がこの p n 接合の平面部の電気力線の密度以下となるように形成したことを特徴とする請求項 1 ないし 6 のいずれか 1 項に記載の半導体装置。

【請求項 8】 前記第二領域と前記第三領域との間の前記半導体基板の主面の幅が第二領域の拡散深さの 1. 1 4 倍以下となるように形成したことを特徴とする請求項 1 ないし 7 のいずれか 1 項に記載の半導体装置。

【請求項 9】 前記第二領域と前記第三領域との間のパンチスルー電圧が前記第三領域に形成される制御回路の電源電圧より大きくなるように形成したことを特徴とする請求項 1 ないし 8 のいずれか 1 項に記載の半導体装置。

【請求項 10】 前記半導体基板の主面と前記導電路との間の前記絶縁層に前記第二領域および前記第三領域の上にまで延びるフィールドプレートを配設したことを特徴とする請求項 1 ないし 9 のいずれか 1 項に記載の半導体装置。

【請求項 11】 前記フィールドプレートと前記第三領域との間の絶縁膜と前記第三領域とによる耐圧が前記第三領域に形成される制御回路の電源電圧より大きくなるように前記絶縁膜の厚さと前記第三領域の不純物濃度とを調整したことを特徴とする請求項 10 に記載の半導体装置。

【請求項 12】 前記フィールドプレートと前記第三領域との間の絶縁膜の界面電界が臨界電界に達しないように前記第三領域の不純物濃度を調整したことを特徴とする請求項 10 に記載の半導体装置。

【請求項 13】 前記絶縁膜層と前記第三領域とによる耐圧が前記第三領域に形成される制御回路の電源電圧より大きくなるように前記絶縁層と前記第三領域の不純物濃度とを調整したことを特徴とする請求項 1 ないし 9 のいずれか 1 項に記載の半導体装置。

【請求項 14】 前記絶縁層の界面電界が臨界電界に達しないように前記第三領域の不純物濃度を調整したことを特徴とする請求項 1 ないし 9 のいずれか 1 項に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は高耐圧分離領域を有する高耐圧半導体装置に関するものである。

【0002】

【従来の技術】高耐圧分離領域を有する高耐圧半導体装置については、従来リサーチ（RESURF）構造を用いたものが知られている（例えば、USP4292642参照）。図12に、従来の高耐圧リサーチ構造を使用したレベルシフト機能を有する半導体装置の構造の断面図を示す。この図に示すように、この半導体装置は、図示左側のn ch-リサーチMOSFETと図示右側のリサーチ分離島領域からなっており、p-基板1、n-エピタキシャル層2、p-基板1に達するように形成されたp拡散領域3、n+埋め込み拡散領域4、n拡散領域5、p拡散領域6、酸化膜7、アルミ配線8、ポリシリコンゲート9、アルミ電極10、およびポリシリコン11を備えている。アルミ電極10は、n拡散領域5とp拡散領域6に接して形成され、リサーチ分離島の電位と同電位となっている。ポリシリコン11は、p拡散領域3と同電位でありフィールドプレートとして機能する。また、n拡散領域5とn+埋め込み拡散領域4はp拡散領域3にそれぞれ取り囲まれる形でリサーチ構造を構成している。

【0003】このように構成された半導体装置において、ゲート電極9を+バイアスすることによってn ch MOSFETがオン状態となり、p拡散領域6に流れる電流によって電極10とアルミ配線8に電位差が生じる。この電位差を出力とすることで、ゲート9に印加されたロジック信号を高電位側にレベルシフトすることができる。

【0004】このような従来の高耐圧半導体装置の構造における問題点は、高電位のアルミ配線8が基板電位であるp拡散領域3の上を横切るため、n-エピタキシャル層2とp拡散領域3との間の空乏層の伸びが阻害され、耐圧が低下する事である。この問題に対しては、図12に示すように、前述のpn接合上にポリシリコン等でフィールドプレート11を形成し、空乏層の伸びを確保すること、さらにはフィールドプレートをフローティングで多重に形成し容量結合で表面電界を安定化させること（例えば、USP5455439参照）等の方法で対策されていたが、高耐圧化されるにつれてフィールドプレート11とアルミ配線8間の酸化膜自体の絶縁強度を確保するために酸化膜厚をかなり厚くする必要が生じプロセスコストが上昇するという問題があった。

【0005】

【発明が解決しようとする課題】この発明は、このような従来の問題点を解決するためになされたもので、プロセスコストの上昇を生ぜず、しかも必要な面積が小さくて高耐圧分離を実現する高耐圧半導体装置を提供しようとするものである。

【0006】

【課題を解決するための手段】この発明の半導体装置は、第一導電型（好適には、p-型）の半導体基板と、この半導体基板の主面に形成され相対的に不純物濃度の薄い第二導電型（好適には、n-型）の第一領域と、前記半導体基板1の主面に前記第一領域に接して形成され相対的に不純物濃度の濃い第二導電型（好適には、n-型）の第二領域と、前記半導体基板の主面に前記第二領域との間に所定の間隔をおいて形成され相対的に不純物濃度の濃い第二導電型（好適には、n-型）の第三領域と、前記半導体基板の主面に前記第三領域と接し前記第一領域との間に所定の間隔をおいて形成され相対的に不純物濃度の薄い第二導電型（好適には、n-型）の第四領域と、前記半導体基板基板の主面との間に絶縁層を介して形成され前記第二領域と前記第三領域とをむすぶ導電路8とを備えたことを特徴とするものである。

【0007】また、この発明の他の発明の半導体装置は、第一導電型（好適には、p-型）の半導体基板と、この半導体基板の主面に形成され相対的に不純物濃度の薄い第二導電型（好適には、n-型）の複数の第一領域と、前記半導体基板の主面に前記複数の第一領域にそれぞれ接して形成され相対的に不純物濃度の濃い第二導電型（好適には、n-型）の複数の第二領域と、前記半導体基板の主面に前記複数の第二領域との間にそれぞれ所定の間隔をおいて形成され相対的に不純物濃度の濃い第二導電型（好適には、n-型）の第三領域と、前記半導体基板の主面に前記第三領域と接しかつ前記複数の第一領域との間に所定の間隔をおいて形成され相対的に不純物濃度の薄い第二導電型（好適には、n-型）の第四領域と、前記半導体基板の主面との間に絶縁層を介して形成され前記複数の第二領域と前記第三領域との間をそれぞれむすぶ複数の導電路8とを備えたことを特徴とするものである。

【0008】また、この発明の他の発明の半導体装置は、第一導電型（好適には、p-型）の半導体基板と、この半導体基板の主面に形成され相対的に不純物濃度の薄い第二導電型（好適には、n-型）の複数の第一領域と、前記半導体基板1の主面に前記複数の第一領域にそれぞれ接して形成され相対的に不純物濃度の濃い第二導電型（好適には、n-型）の複数の第二領域と、前記半導体基板の主面に前記複数の第二領域の間に挟まれた部分を有しかつ前記複数の第二領域との間に所定の間隔をおいて形成され相対的に不純物濃度の濃い第二導電型（好適には、n-型）の第三領域と、前記半導体基板の主面に前記第三領域と接し前記複数の第一領域との間に挟まれた部分を有しかつ前記複数の第一領域との間に所定の間隔をおいて形成され相対的に不純物濃度の薄い第二導電型（好適には、n-型）の第四領域と、前記半導体基板の主面との間に絶縁層を介して形成され前記複数の第二領域と前記第三領域との間をそれぞれむすぶ複数の導電路8とを備えたことを特徴とするものである。

【0009】また、この発明の他の発明の半導体装置は、上述の各発明において、前記第二領域と前記第三領域とを含む領域の外周を前記第一領域と前記第四領域とを含む領域によって包囲するように形成したことを特徴とするものである。

【0010】また、この発明の他の発明の半導体装置は、第一導電型（好適には、p-型）の半導体基板と、この半導体基板の主面に形成され相対的に不純物濃度の薄い第二導電型（好適には、n-型）の環状の第一領域と、前記半導体基板の主面に前記第一領域の内側に接して形成され相対的に不純物濃度の濃い第二導電型（好適には、n型）の環状の第二領域と、前記半導体基板の主面に前記第二領域の内側との間に所定の間隔を置いて形成され相対的に不純物濃度の濃い第二導電型（好適には、n型）の環状の第三領域と、前記半導体基板の主面との間に絶縁層を挟み前記第二領域と前記第三領域との間に形成された導電路とを備えたことを特徴とするものである。

【0011】また、この発明の他の発明の半導体装置は、上述の各発明において、前記第二領域および前記第三領域と前記半導体基板との間にそれぞれ形成されるpn接合が臨界電界に達する以前に前記pn接合の空乏層が伸びて互いに接するように形成したことを特徴とするものである。

【0012】また、この発明の他の発明の半導体装置は、上述の各発明において、前記第二領域および前記第三領域と前記半導体基板との間にそれぞれ形成されるpn接合の周辺コーナー部の電気力線の密度がこのpn接合の平面部の電気力線の密度以下となるように形成したことを特徴とするものである。

【0013】また、この発明の他の発明の半導体装置は、上述の各発明において、前記第二領域と前記第三領域との間の前記半導体基板の主面の幅が第二領域の拡散深さの1.14倍以下となるように形成したことを特徴とするものである。

【0014】また、この発明の他の発明の半導体装置は、上述の各発明において、前記第二領域と前記第三領域との間のパンチスルー電圧が前記第三領域に形成される制御回路の電源電圧より大きくなるように形成したことを特徴とするものである。

【0015】また、この発明の他の発明の半導体装置は、上述の各発明において、前記半導体基板の主面と前記導電路との間の前記絶縁層に前記第二領域および前記第三領域の上にまで延びるフィールドプレートを配設したことを特徴とするものである。

【0016】また、この発明の他の発明の半導体装置は、上述の各発明において、前記フィールドプレートと前記第三領域との間の絶縁膜と前記第三領域とによる耐圧が前記第三領域に形成される制御回路の電源電圧より大きくなるように前記絶縁膜の厚さと前記第三領域の不

純物濃度とを調整したことを特徴とするものである。

【0017】また、この発明の他の発明の半導体装置は、上述の各発明において、前記フィールドプレートと前記第三領域との間の絶縁膜の界面電界が臨界電界に達しないように前記第三領域の不純物濃度を調整したことを特徴とするものである。

【0018】また、この発明の他の発明の半導体装置は、上述の各発明において、前記絶縁膜層と前記第三領域とによる耐圧が前記第三領域に形成される制御回路の電源電圧より大きくなるように前記絶縁層と前記第三領域の不純物濃度とを調整したことを特徴とするものである。

【0019】また、この発明の他の発明の半導体装置は、上述の各発明において、前記絶縁層の界面電界が臨界電界に達しないように前記第三領域の不純物濃度を調整したことを特徴とするものである。

【0020】

【発明の実施の形態】

実施の形態1. 図1は、この発明の実施の形態1のレベルシフト構造を有する半導体装置の半導体領域を示す平面図である。また、図2は図1の平面図における断面A-Aでの構造を示す断面図である。

【0021】先ず図1の平面図に示すように、この発明の半導体装置は、n拡散領域12a, 12bがn-拡散領域2a, 2bに取り囲まれる形でリサーフ（RESURF）構造を構成しているが、一部にスリットが入って分割された形となっている。さらに、図2の断面図に示すように、この半導体装置は、図示左半分のnchリサーフMOSFET領域と図示右半分のリサーフ分離島領域とからなっており、p-シリコン基板1（半導体基板）、n-拡散領域2a（第一領域）、n拡散領域5、p拡散領域6、酸化膜7（絶縁層）、アルミ配線（導電路）8、ポリシリコンゲート9、アルミ電極10、n拡散領域12a（第二領域）、n拡散領域12b（第三領域）を備えている。なお、図1のn-拡散領域2b（第四領域）は図2には現れていないが、n-拡散領域2aと同じ形でn拡散領域12bの周辺に形成されている。また、アルミ電極10は、n拡散領域5とp拡散領域6に接して形成されリサーフ分離島の電位と同電位となっている。

【0022】このように構成した半導体装置において、ゲート電極9を+バイアスすることによってnch MOSFETがオン状態となり、p拡散領域6に流れる電流によって電極10とアルミ配線8に電位差が生じる。この電位差を出力とすることでゲート9に印加された信号を高電位側にレベルシフトすることができる。

【0023】この発明の構造が従来の構造と異なる点は、nchリサーフ MOSFETのドレイン（図2のn-拡散領域2a）とリサーフ分離島領域12bとの間にリサーフ構造が無く、幅の狭いp-基板領域1がスリット状の領域1aとして、表面に露出する形となっていることで

ある。

【0024】この構造においてn拡散領域12bが高電位の場合の等電位線を図3に示す。図3に示すようにn拡散領域12a, 12bに挟まれたp-基板1aは空乏化してしまうため、p-基板1aの表面電位はn拡散領域12a, 12bと大きな差が生じない。したがってアルミ配線8とその下の基板シリコン1の表面の間の電位差は小さく従来例で問題になった電界集中も生じない。

【0025】またレベルシフト時の信号は、電極10とアルミ配線8の間の電位差として出力されるが、これはn拡散領域12aと12b間(nch MOSFETのドレインとしてのn拡散領域12aとリサーフ分離島領域12bとの間)の電位差と同じである。したがってn拡散領域12aと12bの間のパンチスルー電圧は出力電圧より大きくする必要がある。一般的に言うと出力電圧はリサーフ分離島領域に内蔵された低耐圧の制御回路等で検出されるため、出力電圧は制御回路の電源電圧以下となるように設計される。

【0026】以上のことからp-基板1の表面露出領域 *

$$E_{cr} > E_1 = L \cdot q \cdot N_p / (\varepsilon \cdot \varepsilon') \times \\ ((L \cdot L / 3 + r \cdot L + R \cdot L / 2) / ((R + r) \cdot r) + 1) \quad \dots \dots \dots \text{式1}$$

ここで、

E_{cr} : 臨界電界 (約2.5E5 [V/cm])

E_1 : 空乏層が中央で接する時のpn接合電界

q : 電子の電荷量

N_p : p-基板1の表面近傍での不純物濃度

※

$$E_{cr} > E_1 = L \cdot q \cdot N_p / (\varepsilon \cdot \varepsilon') \cdot (L / (2 \cdot r) + 1) \dots \dots \text{式2}$$

従って、これらの式1または2を満たすように、パターンコーナー半径(R)、n拡散領域12a, 12bの拡散深さ(r)およびp-基板1の表面近傍での不純物濃度(N_p)を調整する。

【0030】次に、図4の構造をとった場合、p-基板1とn拡散領域12a, 12b間の一次元耐圧に対して一般に耐圧低下が発生する。これはn拡散領域12a, 12bの周縁部のpn接合コーナー部の単位面積あたりの電気力線が、pn接合の平面部の電気力線より大きくなりpn接合部分での電界が上昇するためである。n拡散領域12aのパターンコーナー半径Rが、n拡散領域12の拡散深さおよび横拡散長rより十分大きいとすると、pn接合コーナー部の電界はほぼ

$$1 \geq ((r+L) \cdot (r+L) + 2R \cdot (r+L)) / (2 \cdot r \cdot (\pi \cdot R / 2 + r))$$

..... 式3

ここで $R \gg r$ の場合は

$$1 \geq 2 \cdot (r+L) / (\pi \cdot r) \dots \dots \dots \text{式4}$$

よって

$$2L \leq (\pi - 2) \cdot r \dots \dots \dots \text{式5}$$

となり、p-基板1の表面上での幅(スリット状のp-基板1aの幅(2L))はn拡散領域12a, 12bの拡散深さ(r)の $(\pi - 2)$ 程度以下にするべきであることが判

* 1aはリサーフ耐圧を低下させない程度の空乏化が起こり、かつn拡散領域12a, 12b間のパンチスルー電圧を制御回路電源電圧以上となるような濃度と距離にする必要がある。

【0027】これを解析的に検討してみる。図4は、この解析をするためにn拡散領域12aと12bのコーナー部を単純化して模式的に示した図である。図4に示すように、n拡散領域12aのパターンコーナー半径をR、n拡散領域12a, 12bの拡散深さと横拡散長をrとする。

【0028】まずリサーフ耐圧に影響を及ぼさないための必要条件は、両側のn拡散領域12a, 12bから伸びる空乏層が中央で接する時にpn接合電界が臨界電界に達しないことである。コーナー部分のpn接合の電界についてこの条件は式1の形で表現される。ただし、実際のn拡散領域12a, 12bからの空乏層の伸び方はコーナーインサイド12a側とアウトサイド12b側で異なるがほぼ同一と仮定した。

※ ε : 真空の誘電率

ε' : シリコンの比誘電率

である。

【0029】 $R \gg r$ の場合は以下の式で近似される。

★ (pn接合を表面から見た面積) / (pn接合の実際の面積)

に比例すると考えられる。ここで、pn接合の実際の面積とは、n拡散領域12a, 12bのpn接合コーナー部の接合面積の和であり、pn接合を表面から見た面積とは、n拡散領域12a, 12bのコーナー部のpn接合を平面に投射した面積とその間のp-基板1aの表面上での面積(幅2L)との和を指すものとする。

【0031】したがってこの値を1以下、すなわち、pn接合コーナー部の電界をpn接合の平面部分の電界の値以下になるように設計すればよいことになる。この条件は次の式3で表現される。

【0032】この効果を $R \gg r$ として2次元シミュレーションで確認した結果を図5に示す。この図から判るよ

うに、p-基板1の表面上での幅2Lがn拡散領域12の拡散深さ(r)の $(\pi-2)$ 程度より大きくなると、pn接合コーナー部の耐圧は一次元耐圧の80%に満たなくなる。また、Lが十分大きい場合(2L=∞)一次元耐圧の43%まで耐圧が低下することがわかる。

$$V_c < V = 2L \cdot L \cdot q \cdot N_p / (\epsilon \cdot \epsilon') (1 + N_p / N_n) \quad \dots \text{式6}$$

ここで、

q: 電子の電荷量

Nn: n拡散領域12a, 12bのpn接合近傍での不純物濃度

Np: p-基板1の表面近傍での不純物濃度

ϵ : 真空の誘電率

ϵ' : シリコンの比誘電率

である。

【0034】従って、この式6を満たすように、p-基板1a部の幅(2L)、p-基板1aの表面近傍での不純物濃度(Np)およびn拡散領域12a, 12bのpn接合近傍での不純物濃度(Nn)を調整する。

【0035】図5にパンチスルー電圧のシミュレーション結果を並記している。p-基板1の表面上での幅(2L)がn拡散領域12a, 12bの拡散深さ(r)の $(\pi-2)$ 倍において、パンチスルー電圧は50Vまで上昇しており、一般的な制御回路電源電圧より十分大きな値が得られている。従って、この値からも間隙部のp-基板1aの幅2Lはn拡散深さ(r)の $(\pi-2)$ 倍以下、即ちn拡散深さの1.14倍以下で設計すべきであることがわかる。

【0036】以上述べたようなこの実施の形態の半導体装置の構造によると、レベルシフト素子としてのn-拡散領域2aをリサーフ分離島領域12bの片方のみに形成することでレベルシフトが実現できる。従って、デバイス面積を大幅に削減する事が出来る。また、プロセスを変更する必要も無いためプロセスコストの上昇も無い。

【0037】実施の形態2. 図6は、この発明の実施の形態2の半導体装置について、その半導体領域の配設状態を示す平面図である。図6における断面A-Aの構造は、図2と同様であるので、図示説明を省略する。この実施の形態2の半導体装置は、図6の平面図に示すように、p-シリコン基板1(半導体基板)にn-拡散領域2a(第一領域)が分離して2つ、所定間隔をおいて形成され、これらに接してそれぞれn拡散領域(第二領域)12aが2つ形成され互いに所定間隔を隔てて対向している。また、この2つのn拡散領域(第二領域)12aと所定間隔をおいて、n拡散領域(第三領域)12bが形成されている。そして、n拡散領域12bの周縁にn-拡散領域(第四領域)2bが形成され、n-拡散領域2a(第一領域)とは所定間隔を隔てて対向している構図となっている。図中、図1および2と同一の符号は同一または相当部分を示す。

*【0033】次に、空乏層が2L伸びたときのn拡散領域12a, 12b間のパンチスルー電圧Vは、前述の議論よりリサーフ分離島領域における制御回路の電源電圧Vcより大きくなる必要がある。これを一次元階段接合で近似すると以下の式で表わされる。

$$V_c < V = 2L \cdot L \cdot q \cdot N_p / (\epsilon \cdot \epsilon') (1 + N_p / N_n) \quad \dots \text{式6}$$

【0038】この実施の形態2の構造は、nリサーフ分離島から同じ位置で隣り合う複数の小区域を分割して相互に間隔を隔てたものである。そして、これら2つのn拡散領域(第二領域)12aとn拡散領域(第三領域)12bとを含めた領域は、その外周をn-拡散領域2a(第一領域)とn-拡散領域(第四領域)2bとを含む領域によって包囲されている。

【0039】このように、この実施の形態2では、nchリサーフMOSFETを2つ、一般には複数組み込んだものである。このようにすれば一つのリサーフ分離島領域に複数のレベルシフト素子を接続することができる。この点を別にすれば、この半導体装置の高電圧分離の作用、機能は図1および2の実施の形態1のものと同じであるので、詳細な説明は省略する。また、このような構成においても、リサーフMOSFETは、リサーフ分離島領域の一侧にのみ設けることで足りるため、素子面積の増加を抑える事ができる。

【0040】実施の形態3. 図7は、この発明の実施の形態3の半導体装置について、その半導体領域の配置を示す平面図である。図7に示す断面A-Aの構造は、図2と同様であるので、図示説明を省略する。この実施の形態3の半導体装置は、図7の平面図に示すように、p-シリコン基板1(半導体基板)にn-拡散領域2a(第一領域)が分離して2つ形成され、これに接してそれぞれn拡散領域(第二領域)12aが2つ形成されている。この2つのn拡散領域(第二領域)12aと所定間隔をおいて、n拡散領域(第三領域)12bが形成され、かつ2つのn拡散領域(第二領域)12aの間に伸びている。そして、n拡散領域12bの周縁にn-拡散領域(第四領域)2bが形成され、n-拡散領域2a(第一領域)とは所定間隔を隔てて対向している。さらに、n-拡散領域(第四領域)2bは、2つのn拡散領域(第二領域)12aの間のn拡散領域(第三領域)12bに接続し、かつ2つのn-拡散領域2a(第一領域)の間にこれら2つのn-拡散領域2a(第一領域)と所定間隔をおいて配置されている。

【0041】この実施の形態3の半導体装置は、図1及び2の実施の形態1に示した装置におけるnchリサーフMOSFETが、1つのリサーフ分離島の別の位置で、複数個形成されたとみることができる。

【0042】このように、本実施の形態3は、nchリサーフMOSFETを複数組み込んだものである。実施の形態3との違いは、2つのnchリサーフMOSFET間にリサーフ分離島のn拡散領域12aに接して形成されたn-拡

散領域2aが形成されていることである。このようにすれば、一つのリサーフ分離島領域に複数のレベルシフト素子を接続するできる。また、リサーフMOSFETは、リサーフ分離島領域の一侧にのみ設けることで足りるため、素子面積の増加を抑える事ができる。さらに、2つのnchリサーフ MOSFET間の寄生素子L-npn(ラテラルトランジスタ構造)等に起因する寄生動作を防止することができる。

【0043】なお、図7の例では、nchリサーフ MOSFETによるレベルシフト機能を2組備えているが、これは必要に応じ適宜複数組備えることができる。

【0044】実施の形態4。図8は、この発明の実施の形態4によるレベルシフト構造を有する半導体装置について、その半導体領域の配置を示す平面図である。この実施の形態4の半導体装置の図9における断面A-Aの構造は、図1と同様であるので図示説明を省略する。

【0045】この実施の形態4の半導体装置は、図9の平面図に示すように、p-シリコン基板1(半導体基板)に、n-拡散領域2a(第一領域)が環状に形成され、この内側に接して、n拡散領域(第二領域)12aが環状に形成されている。さらに、この内側に、所定幅のp-基板1aを挟んで島状のn拡散領域12bを備えている。

【0046】このようにこの実施の形態4の装置は、実施の形態1と違い、n拡散領域12a,12bの間の分離が環状に形成され、n拡散領域2aの部分は分割されない構造となっていることである。この点を別にすれば、この実施の形態4の装置の作用、機能は、図1に示したものと同じであるので詳細な説明は省略する。図1および図2に示す実施の形態1の構造では、n-拡散領域2が分離されることによる耐圧の低下の可能性があるが、本構造ではn-拡散領域2を分割することによる耐圧低下のおそれはない。

【0047】実施の形態5。図9は、この発明の実施の形態5によるレベルシフト構造を有する半導体装置の断面構造を示す図である。この実施の形態5の半導体装置の半導体領域の平面構造は、図1と同様であるので図示を省略する。図9は、図1における断面A-Aと同じ位置における断面図を示すものである。この実施の形態5*

$$V_c < q \cdot N_n \cdot d / (\epsilon \cdot \epsilon') \cdot (\epsilon' \cdot t / \epsilon_{ox} + d / 2) \quad \cdots \text{式7}$$

【0050】また、シリコン酸化膜7aの界面での電界が、臨界電圧 $E_{cr'}$ 以下でなければならないことから、※

$$E_{cr'} > q \cdot N_n \cdot d / (\epsilon \cdot \epsilon') \quad \cdots \text{式8}$$

これらに式において、

$E_{cr'}$: シリコンと酸化膜界面の臨界電界(約 $5E5 [V/cm]$)

q: 電子の電荷量

N_n : n拡散領域12bの不純物濃度

ϵ : 真空の誘電率

ϵ' : シリコンの比誘電率

*の半導体装置は、図9の断面構造に示すように、p-シリコン基板1(半導体基板)、n-拡散領域2a(第一領域)、n拡散領域5、p拡散領域6、酸化膜7(絶縁層)、アルミ配線8(導電路)、ポリシリコンゲート9、n拡散領域5とp拡散領域6に接して形成され島電位と同電位となっているアルミ電極10、n拡散領域12a(第二領域)、n拡散領域12a(第三領域)を備えている。また、図1のn-拡散領域2b(第四領域)は図9には現れていないが、n-拡散領域2aと同じ形でn拡散領域12bの周辺に形成されている。なお、これらは、図1のものと同じであるので説明を省略する。

【0048】さらに、この実施の形態5では、実施の形態1の構造に加えてnchリサーフMOSFET側のn拡散領域12aと同電位のポリシリコン13が、酸化膜7の中に配置され、その下の酸化膜の部分(これを酸化膜7a(絶縁膜)とする)を挟んで、p-基板1の表面に露出した部分1aを覆うように形成されているものである。そして、このポリシリコン13は、n拡散領域12a,12bとp-基板1との間に形成されるpn接合を覆い、かつn拡散領域12a,12bの部分の上に延在している。このように形成した場合、レベルシフト動作時に、n拡散領域12a,12b間、すなわちnch MOSドレインのn拡散領域12aとリサーフ分離島のn拡散領域12bとの間でのバンチスルーを、ポリシリコン層13によるフィールドプレート効果で防ぐことができる。ただし、リサーフ分離島領域側のn拡散領域12bにおいて、ポリシリコン13下の酸化膜7aの厚さが薄すぎるとポリシリコン13の下でSi表面で電界集中を起こし逆に耐圧低下する可能性がある。

【0049】したがって以下の条件を満たす必要がある。先ず、図10に、ポリシリコン13とリサーフ分離島領域側のn拡散領域12bが、酸化膜7aを挟んで対向している構造を拡大して示す。同時に、電界分布も示している。ポリシリコン13の下で酸化膜7aの厚さをt、n拡散領域12bの中に伸びた空乏層の厚さをdとする。シリコン酸化膜7aとn拡散領域12bとによる耐圧は、制御回路の電源電圧 V_c より大きくなければならない。このことから次式7が得られる。

※次式8が得られる。

ϵ_{ox} : 酸化膜の比誘電率

d: ポリシリコン13端部直下の空乏層幅

t: ポリシリコン13端部直下の酸化膜厚である。

【0051】実際にはn領域12の不純物濃度(N_n)の大きな所までフィールドプレート13が延在して形成されている場合が大部分のため、空乏層dはかなり小さく

なると見てよい。したがって一般的には式7の右辺第一項の値が制御電圧 V_c より大きくなる事が望ましい。すなわち、

$$V_c < q \cdot N_n \cdot d \cdot t / \epsilon \cdot \epsilon_{ox}$$

これらの式7～9を満たすように、ポリシリコン13端部直下の酸化膜厚(t)、 n 拡散領域12bの不純物濃度(N_n)を調整する。

【0052】さらに、図11は、図9のようにポリシリコン13が p -基板1aを覆うように形成した場合の電気力線の状態(図11(a))を、ポリシリコン13がない場合(図11(b))と比較して示した図である。図11に示すように、 p -基板1aの表面領域上にポリシリコン13がある事によって一部の電気力線がポリシリコン13に終端することになり、 pn 接合コーナ部分の電界が緩和される。このことにより、 p -基板1と n 拡散領域12の間の耐圧は、さらに低下しにくくなる。

【0053】図5にフィールドプレート13がある時の耐圧のシミュレーション結果を並記しているが、一次元に対し85%となりフィールドプレート無しに対し6%の耐圧改善が得られている。この構造によると、実施の形態1の効果に加えて、さらに耐圧とパンチスルー電圧を上げることが出来る。

【0054】なお、図9の装置は、実施の形態1の図1および2の装置にフィールドプレート13をもうけた例であるが、実施の形態2ないし4の図6ないし8の装置にも同様フィールドプレートを適用することができる。

【0055】また以上は、酸化膜7の中に配設されたポリシリコン13とその下の酸化膜7aおよび n 拡散領域12bについて耐圧を考察した。この同じ考察は、実施の形態1ないし4における図1ないし図8の装置において、アルミ配線8とその下の酸化膜7および n 拡散領域12bの耐圧についても適用できる。すなわち、これらの場合も、式7ないし9の条件が満たされるように、アルミ配線8端部直下の酸化膜厚(t)、 n 拡散領域12bの不純物濃度(N_n)が調整される。

【発明の効果】以上説明したように、この発明によれば、低耐圧領域と高耐圧領域の間に高耐圧分離領域を有※

$$* V_c < q \cdot N_n \cdot d / (\epsilon \cdot \epsilon') \cdot (\epsilon' \cdot t / \epsilon_{ox})$$

したがって、

*

式9

※し、高耐圧領域へのレベルシフト機能を有する半導体装置であって、面積が小さくかつプロセスコストを上昇させないものが得られる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1の半導体装置の半導体領域の平面図。

【図2】 この発明の実施の形態1の半導体装置の部分の断面構造図。

【図3】 この発明の実施の形態1の半導体装置の動作を説明するための部分断面構造図。

【図4】 この発明の実施の形態1の半導体装置の動作を説明するための部分断面した斜視図。

【図5】 この発明の実施の形態1の半導体装置の動作を説明するためのシミュレーション結果を示す図。

【図6】 この発明の実施の形態2の半導体装置の半導体領域の平面図。

【図7】 この発明の実施の形態3の半導体装置の半導体領域の平面図。

【図8】 この発明の実施の形態4の半導体装置の半導体領域の平面図。

【図9】 この発明の実施の形態5の半導体装置の部分の断面構造図。

【図10】 この発明の実施の形態5の半導体装置の動作を説明するための部分断面拡大図。

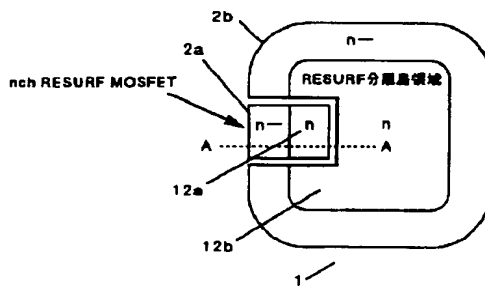
【図11】 この発明の実施の形態5の半導体装置の動作を説明するための電気力線図。

【図12】 従来の半導体装置の構造例を示す断面図。

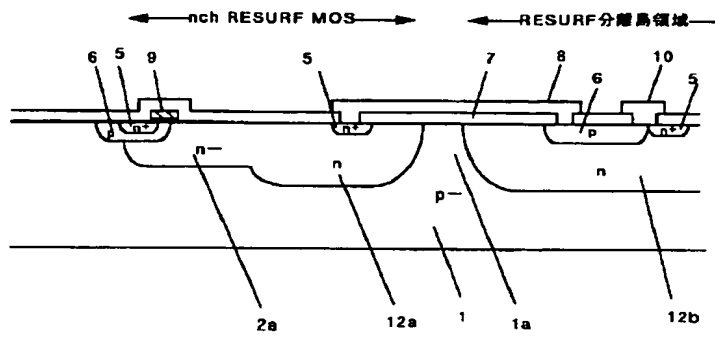
【符号の説明】

1 半導体基板(p -基板)、2a 第一領域(n -拡散領域)、2b 第四領域(n -拡散領域)、7 絶縁層(酸化膜)、7a 絶縁膜(酸化膜)、8 導電路(アルミ配線)、12a 第二領域(n 拡散領域)、12b 第三領域(n 拡散領域)、13 フィールドプレート(ポリシリコン)

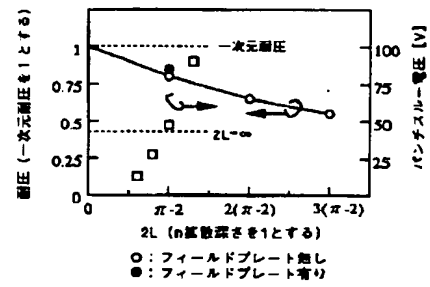
【図1】



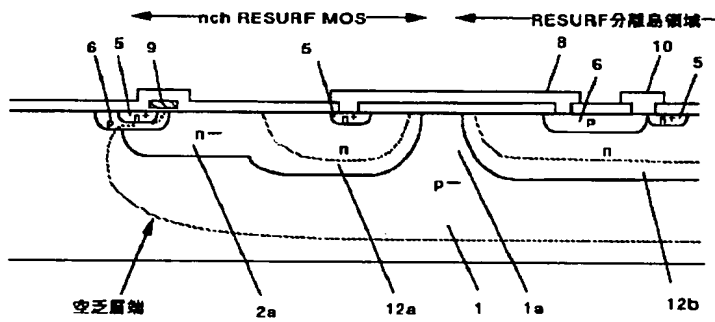
【図2】



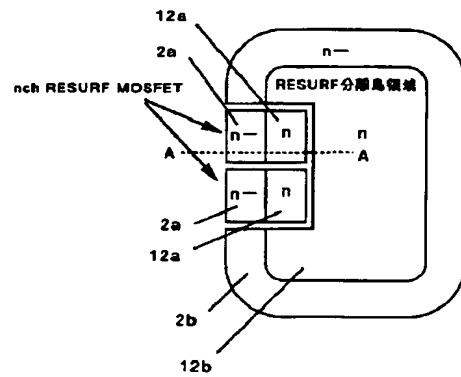
【図5】



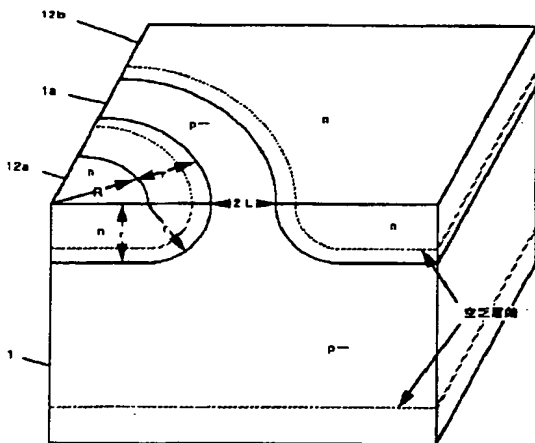
【図3】



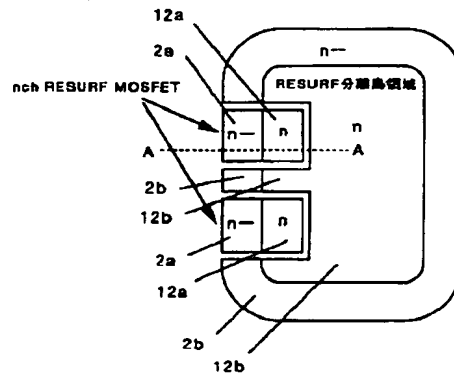
【図6】



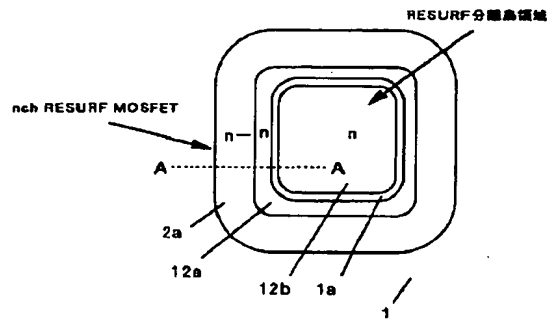
【図4】



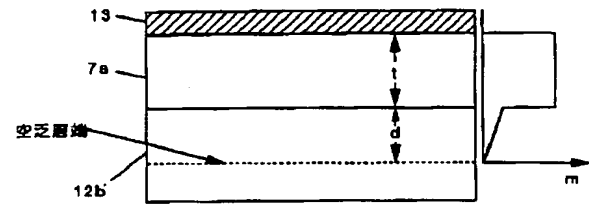
【図7】



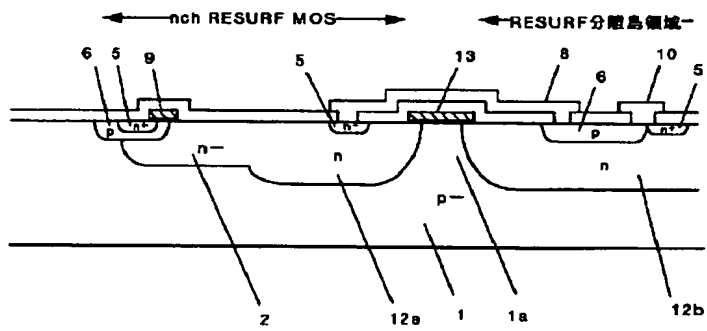
【図8】



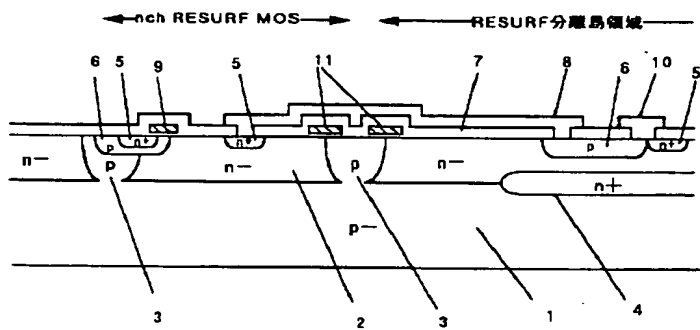
【図10】



【図9】



【図12】



【図11】

